

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 125062

(43) 公開日 平成10年(1998)5月15日

(51) Int. Cl.⁶ 識別記号

G 1 1 C 11/407

G 0 6 F 12/02 5 9 0

G 1 1 C 11/406

F I

G 1 1 C 11/34 3 6 2 S

G 0 6 F 12/02 5 9 0 B

G 1 1 C 11/34 3 6 3 Z

審査請求 未請求 請求項の数 5

O L

(全 1 5 頁)

(21) 出願番号 特願平8-280428

(22) 出願日 平成8年(1996)10月23日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 新庄 直樹

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 弁理士 森田 寛 (外1名)

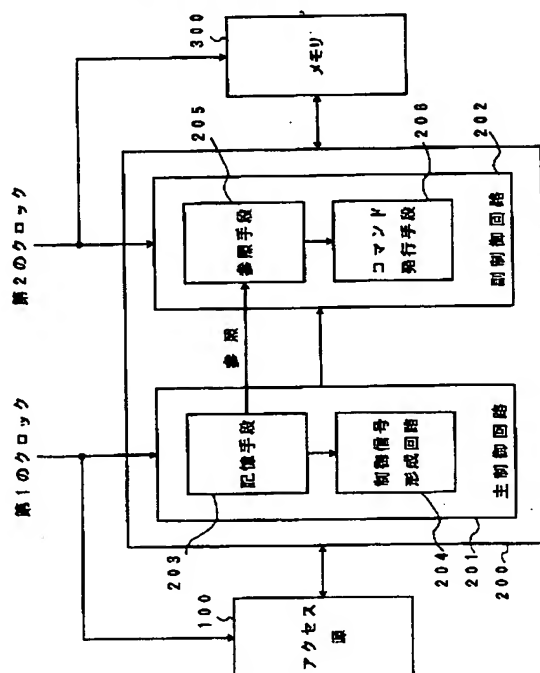
(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【課題】 本発明は、メモリ制御装置に関し、シンクロナスDRAM (SDRAM) からなるメモリを高速化することを目的とする。

【解決手段】 主制御回路201への第1のクロックの供給中、アクセス源100からのアクセスの行アドレスと記憶手段203に保持された活性化行アドレスとが一致している場合に、制御信号形成回路204が行アドレスの活性化を行うことなくそのアクセスの列アドレスを用いてSDRAM300にアクセスするための制御信号を形成する。第1のクロックの供給停止の間、コマンド発行手段206がSDRAM300にリフレッシュを行わせるためのコマンドを発行する。第1のクロックの供給再開の際、参照手段205が記憶手段203の活性化行アドレスを参照して、これを用いてコマンド発行手段206がSDRAM300に活性化行アドレスの活性化を行なわせるコマンドを発行する。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 メモリをアクセスするアクセス源と当該メモリとの間に設けられ、1又は2以上のシンクロナスDRAMからなるメモリを制御するメモリ制御装置であって、

前記アクセス源に供給される停止可能な第1のクロックが供給される主制御回路と、前記シンクロナスDRAMに供給される無停止の第2のクロックが供給される副制御回路とからなり、

前記主制御回路は、前記シンクロナスDRAMにおいて活性化された行アドレスを保持する記憶手段と、前記記憶手段に保持された行アドレスと前記シンクロナスDRAMをアクセスする行アドレスとの比較の結果に基づいて、前記副制御回路に前記シンクロナスDRAMをアクセスさせるための所定の制御信号を形成する制御信号形成回路とを備え、

前記副制御回路は、前記記憶手段に保持された行アドレスを参照する参照手段と、前記シンクロナスDRAMに対して所定のコマンドを発行するコマンド発行手段とを備え、

前記主制御回路に対して前記第1のクロックが供給されている間において、前記アクセス源からのアクセスがあった時、前記比較の結果両者が一致している場合には前記制御信号形成回路が行アドレスの活性化を行うことなく当該アクセスの列アドレスを用いて前記シンクロナスDRAMをアクセスするための制御信号を形成し、この制御信号に従って前記副制御回路が前記シンクロナスDRAMをアクセスし、

前記主制御回路に対して前記第1のクロックが供給されている間において、前記アクセス源からのアクセスがあった時、前記比較の結果両者が一致していない場合には、前記制御信号形成回路が、プリチャージを行った後に当該アクセスの行アドレスを用いて当該行アドレスを活性化して当該アクセスの列アドレスを用いて前記シンクロナスDRAMをアクセスするための制御信号を形成すると共に前記記憶手段が当該行アドレスを保持し、この制御信号に従って前記副制御回路が前記シンクロナスDRAMをアクセスし、

前記主制御回路に対して前記第1のクロックの供給が停止されている間において、前記コマンド発行手段が前記シンクロナスDRAMにリフレッシュを行わせるための所定のコマンドを発行し、

前記第1のクロックの供給が再開される際に、前記参照手段が前記記憶手段に保持されている行アドレスを参照して、これを用いて前記コマンド発行手段が前記シンクロナスDRAMに当該参照した行アドレスの活性化を行なわせるための所定のコマンドを発行することを特徴とするメモリ制御装置。

【請求項2】 前記メモリが、その各々に異なるアドレスが割り付けられた2以上のシンクロナスDRAMから

なり、

各々のシンクロナスDRAMに対応して前記記憶手段が設けられることを特徴とする請求項1に記載のメモリ制御装置。

【請求項3】 前記メモリが、その内部が複数のバンクに分けられたシンクロナスDRAMからなり、各々のバンクに対応して前記記憶手段が設けられることを特徴とする請求項1に記載のメモリ制御装置。

【請求項4】 前記行アドレスが活性化された後に経過した時間をカウントする計時手段を備え、

前記計時手段は、前記行アドレスが活性化された後に所定の時間が経過したことを検出した場合、前記主制御回路が前記記憶手段の内容を無効とすることを特徴とする請求項1に記載のメモリ制御装置。

【請求項5】 前記アクセス源から連続したアクセスがあった場合、当該連続したアクセスの終了後に、次のアクセスを待つことなく、前記主制御回路が前記記憶手段の内容を無効とし、前記制御信号形成回路がプリチャージを行うための制御信号を形成することを特徴とする請求項1に記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ制御装置に関し、特に、活性化された行アドレスを保持する記憶手段を備えシンクロナスDRAMを制御するメモリ制御装置に関する。

【0002】

【従来の技術】従来、低価格を要求されるワークステーションの主記憶としては低価格のDRAMが用いられている。特に、CPUの高速化に伴って高速性が要求されるようになった結果、外部から高速のクロックを与えて動作速度を高速化したシンクロナスDRAMが用いられている。

【0003】一方、従来、高速性を要求される大型計算機やスーパーコンピュータの主記憶としては高速のSRAMが用いられている。しかし、高速SRAMはDRAMに比べてビット当りの単価が10倍前後であると言う欠点がある。そこで、ワークステーションとの価格競争の激化に伴って、スーパーコンピュータ等においても主記憶をDRAMにより構成することが要求されている。特に、ワークステーションにおける採用の実績から、シンクロナスDRAMを主記憶として用いることが考えられる。

【0004】なお、ワークステーションにおいてシンクロナスDRAMを主記憶として用いた場合のメモリアクセスは、以下のように行われる。メモリアクセス要求が連続アドレスのアクセスであることがメモリリクエストコマンドにより予め判っている時は、1回の行アドレス活性化の後、複数回の列アドレスを指定してのアクセスを繰り返す。これにより、2回目のアクセス以降のプリ

チャージ及び行アドレスの活性化に要する時間を不要にして、高速アクセスを実現している。連続アドレスアクセスであることが判っている時以外は、各メモリリクエスト毎に、行アドレス活性化、列アドレスを指定してのアクセス、プリチャージと言うサイクルを繰り返す。この場合は連続アドレスアクセス程には高速化できない。

【0005】そこで、行アドレスを保持するための記憶手段を設けて、行アドレスを活性化した際にこれを保持している。あるアクセスの次のアクセスにおいて、当該次アクセスの行アドレスと記憶手段に保持されている行アドレスとを比較する。比較の結果両者が一致している場合、行アドレスの活性化を行うことなく、列アドレスを用いて当該データを読み出す。これにより、メモリアクセス要求が連続はしていないが比較的狭い範囲のアドレス（同一の行アドレス）に分布している場合、2回目のアクセス以降のプリチャージ及び行アドレスの活性化に要する時間を不要にして、高速アクセスを実現する確率を高くして高速化を図っている。なお、両者が不一致である場合、プリチャージの後に行アドレスの活性化を行い列アドレスを用いて当該データを読み出す。この時、記憶手段にこの活性化した行アドレスを保持する。

【0006】

【発明が解決しようとする課題】しかし、本発明者の検討によれば、ワークステーションにおいてシンクロナスDRAMを主記憶として用いた場合の構成を、単純にスーパーコンピュータ等に適用することはできない。これは以下の理由による。

【0007】スーパーコンピュータにおいてはローカリティの期待できないデータ（例えば巨大配列等）を扱うため、キャッシュメモリを経由することなく主記憶を直接アクセスする。この主記憶のアクセスは高速である必要がある。また、この場合、多次元配列を各方向に掃くために、連続アドレスアクセスのみでなくストライドアクセス（間隔の空いたアドレスでのアクセス）等が行われる。従って、この場合のアクセスは通常は連続アクセスではなく、連続アドレスアクセスである場合でもアドレス境界やアクセス長さは一定でない。

【0008】従って、主記憶としてシンクロナスDRAMを採用した場合、その高速化のために、行アドレスを活性化した際にこの活性化した行アドレスを保持するための記憶手段が必須であると考えられる。即ち、連続アドレスアクセスが少ない分シンクロナスDRAMの特徴を活かした高速化が図り難いので、少しでも高速アクセスできる範囲を広げる必要がある。このため、メモリアクセス要求が連続はしていないが比較的狭い範囲のアドレスに分布している場合、2回目のアクセス以降のプリチャージ及び行アドレスの活性化に要する時間を不要にして、高速アクセスを実現する必要がある。

【0009】しかし、スーパーコンピュータは、ワークステーションとは異なり、通常、そのクロックを停止す

る機能を備える。これは、例えば、重大なハードウェア障害の発生時にクロックを停止したり（チェックストップ）、試験時のハードウェアシングルステップ実行時にクロックを停止したり（シングルクロックモード）するために必要なものである。これは大型計算機においても同様である。一方、DRAMでは一定時間でリフレッシュを行わなければ記憶内容が失われてしまうので、シンクロナスDRAMにおいてはリフレッシュのためのクロックを入力する必要がある。

10 【0010】そこで、CPU及びメモリ制御装置（MCU）の主要部に対しては停止可能なクロックを供給し、DRAM及びメモリ制御装置のDRAMインタフェース部に対しては無停止のクロックを供給することが考えられる。この場合、停止可能クロックの停止中에서도シンクロナスDRAMには無停止クロックを供給してリフレッシュを行う。これにより、シンクロナスDRAMを主記憶として使用しつつクロック停止機能を実現できる。

20 【0011】ところが、シンクロナスDRAMにおいては、リフレッシュを行うためには事前にプリチャージを行って行アドレスを不活性化する必要がある。このため、停止可能クロックの停止中にリフレッシュが行われることにより、行アドレスが不活性化されてしまう。この結果、メモリ制御装置の記憶手段に保持された活性化した行アドレスと、実際のシンクロナスDRAMにおける行アドレスの状態とが不一致となってしまう。従って、停止可能なクロックの供給の再開後においてアクセスの当該行アドレスと記憶手段に保持されている行アドレスとが一致したとしても、列アドレスを用いて読み出されたデータは読み出すべきデータではなく、誤動作の原因となる。

30 【0012】本発明は、メモリアクセス要求が連続はしていないが比較的狭い範囲のアドレスに分布している場合に高速アクセスを可能としたシンクロナスDRAMを制御するメモリ制御装置を提供することを目的とする。

【0013】

【課題を解決するための手段】図1は本発明の原理構成図であり、本発明によるメモリ制御装置を示す。図1のメモリ制御装置200は、メモリ300をアクセスするアクセス源100と当該メモリ300との間に設けられ、1又は2以上のシンクロナスDRAMからなるメモリ300を制御する。メモリ制御装置200は、アクセス源100に供給される停止可能な第1のクロックが供給される主制御回路201と、メモリ即ちシンクロナスDRAM300に供給される無停止の第2のクロックが供給される副制御回路202とからなる。

40 【0014】主制御回路201は、シンクロナスDRAM300において活性化された行アドレスを保持する記憶手段203と、記憶手段203に保持された行アドレスとシンクロナスDRAM300をアクセスする行アドレスとの比較の結果に基づいて、副制御回路202にシ

シンクロナスDRAM300をアクセスさせるための所定の制御信号を形成する制御信号形成回路204とを備える。副制御回路202は、記憶手段203に保持された行アドレスを参照する参照手段205と、シンクロナスDRAM300に対して所定のコマンドを発行するコマンド発行手段206とを備える。

【0015】主制御回路201に対して第1のクロックが供給されている間において、アクセス源100からのアクセスがあった時、前記比較の結果両者が一致している場合には、制御信号形成回路204が、行アドレスの活性化を行うことなく当該アクセスの列アドレスを用いてシンクロナスDRAM300をアクセスするための制御信号を形成する。この制御信号に従って副制御回路202がシンクロナスDRAM300をアクセスする。

【0016】主制御回路201に対して第1のクロックが供給されている間において、アクセス源100からのアクセスがあった時、前記比較の結果両者が一致していない場合には、制御信号形成回路204が、プリチャージを行った後に当該アクセスの行アドレスを用いて当該行アドレスを活性化して当該アクセスの列アドレスを用いてシンクロナスDRAM300をアクセスするための制御信号を形成する。これと共に記憶手段203が当該行アドレスを保持する。この制御信号に従って副制御回路202がシンクロナスDRAM300をアクセスする。

【0017】一方、主制御回路201に対して第1のクロックの供給が停止されている間において、コマンド発行手段206がシンクロナスDRAM300にリフレッシュを行わせるための所定のコマンドを発行する。そして、第1のクロックの供給が再開される際に、参照手段205が記憶手段203に保持されている行アドレスを参照して、これを用いてコマンド発行手段206がシンクロナスDRAM300に当該参照した行アドレスの活性化を行なわせるための所定のコマンドを発行する。

【0018】本発明のメモリ制御装置200によれば、主制御回路201に対して第1のクロックが供給されている間において、アクセス源100からのアクセスがあった時、前記比較の結果両者が一致している場合には、行アドレスの活性化を行うことなく、当該アクセスの列アドレスを用いてシンクロナスDRAM300がアクセスされる。これにより、メモリアクセス要求が連続はしていないが比較的狭い範囲のアドレス（同一行アドレス）に分布している場合、2回目のアクセス以降のプリチャージ及び行アドレスの活性化に要する時間を不要にして、高速アクセスを実現する確率を高くして高速化を図ることができる。

【0019】なお、同様の場合において前記比較の結果両者が一致していない場合には、通常のサイクルのアクセスが行われる。即ち、プリチャージを行った後に、当該アクセスの行アドレスを用いて当該行アドレスを活性

化して当該アクセスの列アドレスを用いてシンクロナスDRAM300がアクセスされる。

【0020】一方、主制御回路201に対して第1のクロックの供給が停止されている間において、シンクロナスDRAM300がリフレッシュされる。これにより、シンクロナスDRAM300の記憶内容が失われることを防止することができる。

【0021】このリフレッシュの後、第1のクロックの供給が再開される際に、記憶手段203に保持されている行アドレスを用いて、コマンド発行手段206がシンクロナスDRAM300に当該行アドレスの活性化を行なわせる。これにより、シンクロナスDRAM300においてリフレッシュのためにプリチャージを行って行アドレスを不活性化した場合でも、記憶手段203に保持された行アドレスと実際のシンクロナスDRAMにおいて活性化した行アドレスとを一致させることができる。従って、停止可能クロックの供給再開後においてアクセスの当該行アドレスと記憶手段203に保持されている行アドレスとが一致した場合、行アドレスの活性化をすることなく、直ちに当該列アドレスを用いて当該データを読み出すことができる。

【0022】以上のように、本発明のメモリ制御装置200によれば、シンクロナスDRAM300を主記憶として使用しつつ、スーパーコンピュータ等に不可欠のクロック停止機能（チェックストップ及びシングルクロックモード）を実現できる。更に、これに加えて、クロックの停止中にシンクロナスDRAMをリフレッシュした後であっても、メモリアクセス要求が連続はしていないが比較的狭い範囲のアドレスに分布している場合にはプリチャージ及び行アドレスの活性化に要する時間を不要にして、高速アクセスを実現することができる。

【0023】

【発明の実施の形態】図2は本発明のメモリ制御装置200を備える大型計算機やスーパーコンピュータのような電子計算機の一例を示す。メモリ300をアクセスするアクセス源100は、例えば大型計算機やスーパーコンピュータのCPUや入出力装置（I/O）である。この例のメモリ300は1個のシンクロナスDRAM（300）からなる。メモリ制御装置200は、アクセス源100と当該メモリ300との間に設けられ、メモリ制御装置200はその主要部である主制御回路201とDRAMインタフェース部である副制御回路202とからなり、メモリ300を制御する。

【0024】主制御回路201には、アクセス源100に供給される第1のクロック（以下、ゲートクロックと言う）と同一のクロックが、クロック制御回路400から供給される。ゲートクロックは停止可能なクロックである。図2の電子計算機はクロック制御回路400によりゲートクロックを停止する機能を備える。これにより、重大なハードウェア障害の発生時にCPU等のクロ

ックを停止したり（チェックストップ）、試験時のハードウェアシングルステップ実行時にCPU等のクロックを停止したり（シングルクロックモード）することが可能となる。

【0025】副制御回路202には、シンクロナスDRAM300に供給される第2のクロック（以下、フリーランクロックと言う）と同一のクロックが、クロック制御回路400から供給される。フリーランクロックは無停止のクロックである。従って、クロック制御回路400にハードウェア故障がない限り、フリーランクロックの供給が停止されることはない。これにより、ゲートクロックが停止中であっても、シンクロナスDRAM300にリフレッシュのためのクロックを入力することが可能となる。

【0026】主制御回路201は、記憶手段203である活性化行アドレス保持回路2、行（ロウ）アドレス入力回路4、列（カラム）アドレス入力回路5、データ入力回路6、比較回路8、制御信号形成回路204である制御信号形成回路10、アドレス主選択回路11を備える。

【0027】副制御回路202は、参照手段205である活性化行アドレス参照回路12、制御信号選択回路13、アドレス副選択回路14、制御信号出力回路15、アドレス出力回路16、データ出力回路17、コマンド発行手段206であるコマンド制御回路18を備える。

【0028】まず、アクセス源100及び主制御回路201に対して第1のクロックが供給されている間、即ち、通常期間におけるメモリ制御装置200の動作について説明する。

【0029】通常期間において、アクセス源100がメモリ制御装置200にシンクロナスDRAM300のアクセスを依頼する。読み出しの場合にはアクセス源100からアドレスが入力され、書き込みの場合にはアクセス源100からアドレス及びデータが入力される。

【0030】アクセス源100からのアクセス依頼があった時、行アドレス入力回路4が入力されたアドレスの内の行アドレスを取り込んで保持し、列アドレス入力回路5が入力されたアドレスの内の列アドレスを取り込んで保持する。データが入力された場合には、データ入力回路6がこれを取り込んで保持する。なお、読み出し／書き込み等を指示する信号は、別に規定されたメモリプロトコルに従って、アクセス源100から（アドレスバスを介して）メモリ制御装置200の制御信号形成回路10に入力される。

【0031】一方、活性化行アドレス保持回路2はシンクロナスDRAM300において活性化された行アドレス（活性化行アドレス）を保持する。この活性化行アドレスは先に（当該アクセスに先行するアクセスの何れかにおいて）シンクロナスDRAM300を実際にアクセスした際の行アドレスである。従って、シンクロナスD

RAM300は当該行アドレスが活性化された状態にある。即ち、当該行アドレスの全てのメモリセルからデータが読み出されており、列アドレスの指定があればシンクロナスDRAM300から出力可能な状態になっている。

【0032】行アドレス入力回路4は取り込んだ行アドレスを比較回路8の一方の入力端子に入力する。比較回路8の他方の入力端子には活性化行アドレス保持回路2から活性化行アドレスが入力される。これにより、行アドレス入力回路4からの当該アクセスの行アドレスと活性化行アドレス保持回路2からの活性化行アドレスとが比較される。比較回路8は入力された2個の行アドレスを比較して、一致／不一致信号を制御信号形成回路10に入力する。

【0033】制御信号形成回路10は、比較回路8における比較の結果に基づいて、副制御回路202にシンクロナスDRAM300をアクセスさせるための所定の制御信号（コマンド）を形成する。この制御信号は、アドレス主選択回路11の制御信号として用いられ、また、制御信号選択回路13に入力される。

【0034】前記比較の結果、両者が一致している場合、制御信号形成回路10は、行アドレスの活性化を行うことなく、当該アクセスの列アドレスを用いてシンクロナスDRAM300をアクセスする（以下、擬似的連続アクセスと言う）ための制御信号を形成する。これにより、メモリアクセス要求が連続はしていない（連続アクセスではない）が比較的狭い範囲（同一の行アドレス）のアドレスに分布している場合に、プリチャージ及び行アドレスの活性化を不要にできる。

【0035】具体的には、制御信号形成回路10は、行アドレスの活性化が不要であるので、アドレス主選択回路11に列アドレス入力回路5の出力する当該アクセスの列アドレスのみを選択的に出力させる。アドレス主選択回路11の出力はアドレス副選択回路14に入力される。

【0036】また、制御信号形成回路10は、列アドレスのみを用いたアクセスのための制御信号CS、RAS、CAS、WEを形成して出力する。即ち、これらの制御信号の組合せを、連続アクセスにおける列アドレスのみを用いたアクセスと同様の組合せとする。この擬似的連続アクセスを指示する制御信号CS、RAS、CAS、WEの組合せ（擬似的連続アクセスコマンド）は、シンクロナスDRAM300の規格として予め定められる。制御信号形成回路10の出力するこれらの制御信号は制御信号選択回路13に入力される。

【0037】なお、この場合、前述のように、当該アクセスの行アドレスを用いたシンクロナスDRAM300の行アドレスの活性化は行われない。従って、当該アクセスの行アドレスは活性化行アドレス保持回路2に保持されず、その内容に変化はない。活性化行アドレス保持

10

20

30

40

50

回路2への活性化行アドレスの保持の制御は制御信号形成回路10により行われる。

【0038】一方、比較回路8における前記比較の結果、活性化行アドレスと当該アクセスの行アドレスの両者が一致していない場合、制御信号形成回路10は、プリチャージを行った後に当該アクセスの行アドレスを用いて当該行アドレスを活性化して当該アクセスの列アドレスを用いてシンクロナスDRAM300をアクセスする（通常アクセスする）ための制御信号を形成する。従って、行アドレスが一致しない場合には、通常のアクセスが行われる。

【0039】具体的には、制御信号形成回路10は、行アドレスの活性化が必要であるので、アドレス主選択回路11に、最初に行アドレス入力回路4の出力する当該アクセスの行アドレスを選択的に出力させ、次に列アドレス入力回路5の出力する当該アクセスの列アドレスを選択的に出力させる。この出力のタイミングは制御信号形成回路10により制御される。

【0040】また、制御信号形成回路10は行アドレス及び列アドレスを用いたアクセスのための制御信号CS、RAS、CAS、WEを形成して出力する。即ち、これらの制御信号の組合せ（コマンド）を、最初にプリチャージの組合せ（プリチャージコマンド）とし、次に通常アクセスの組合せ（通常のリード／ライトコマンド）とする。プリチャージ及び通常アクセスを指示する制御信号CS、RAS、CAS、WEの組合せは、シンクロナスDRAM300の規格として予め定められる。

【0041】この場合、前述のように、当該アクセスの行アドレスを用いたシンクロナスDRAM300の行アドレスの活性化が行われる。従って、活性化された最新のアドレスである当該アクセスの行アドレスが活性化行アドレス保持回路2に保持される。これにより、当該アクセスの次のアクセスにおいて、行アドレスが互いに一致する場合にその活性化を不要にできる。

【0042】以上により、アドレス主選択回路11の出力する行アドレス及び／又は列アドレスと制御信号形成回路10からの制御信号とが、主制御回路201から副制御回路202に出力される。また、データの書き込みの場合には、データ入力回路6から書き込むべきデータが出力される。副制御回路202は制御信号形成回路10からの制御信号に従ってシンクロナスDRAM300をアクセスする。

【0043】比較回路8における前記比較の結果、活性化行アドレスと当該アクセスの行アドレスの両者が一致している場合、制御信号形成回路10からは、擬似的連続アクセスのために、列アドレスのみを用いたアクセスを指示する制御信号CS、RAS、CAS、WEの組合せが制御信号選択回路13の一方の入力端子に入力される。また、アドレス主選択回路11からは列アドレスがアドレス副選択回路14の一方の入力端子に入力され

る。

【0044】なお、制御信号選択回路13の他方の入力端子にはコマンド制御回路18の出力する制御信号が入力される。また、アドレス副選択回路14の他方の入力端子には活性化行アドレス参照回路12の出力するアドレスが入力される。これらはアクセス源100及び主制御回路201に対してゲートクロックが供給されている期間においては選択されない。これらについては後述する。

【0045】ここで、アクセス源100及び主制御回路201に対してゲートクロックが供給されているので、クロック制御回路400はコマンド制御回路18にゲートクロック停止状態信号を出力しない（そのロウレベルを出力する）。即ち、通常期間においてゲートクロック停止状態信号は出力されない。

【0046】このゲートクロック停止状態信号がない状態に応じて、コマンド制御回路18は所定の制御信号を形成して、制御信号選択回路13に制御信号形成回路10からの列アドレスのみを用いたアクセスを指示する制御信号CS、RAS、CAS、WEの組合せ（コマンド）を選択的に出力させ、アドレス副選択回路14に列アドレスを選択的に出力させる。出力された列アドレスのみを用いたアクセスを指示する制御信号CS、RAS、CAS、WEの組合せは制御信号出力回路15に取り込まれ保持される。出力された列アドレスはアドレス出力回路16に取り込まれ保持される。データの書き込みの場合には、データ入力回路6から書き込むべきデータがデータ出力回路17に取り込まれ保持される。

【0047】所定のタイミングで、シンクロナスDRAM300に対して、制御信号出力回路15から列アドレスのみを用いたアクセスを指示する制御信号CS、RAS、CAS、WEの組合せが出力され、アドレス出力回路16から列アドレスが出力される。データの書き込みの場合には、データ出力回路17から書き込むべきデータが出力される。従って、シンクロナスDRAM300は、当該アクセスの行アドレスの活性化を行うことなく、当該アクセスの列アドレスを用いてアクセスされる。これにより、メモリアccess要求が連続はしていないが比較的狭い範囲（同一の行アドレス）のアドレスに分布している場合に、プリチャージ及び行アドレスの活性化を不要にできる。

【0048】なお、データの読み出しの場合にはシンクロナスDRAM300から当該アドレスのデータが出力されるが、その図示は省略している。また、出力の書き込みの場合にはシンクロナスDRAM300の当該アドレスに書き込むべきデータが書き込まれる。

【0049】比較回路8における前記比較の結果、活性化行アドレスと当該アクセスの行アドレスの両者が一致していない場合、制御信号形成回路10からは、通常アクセスのために、行アドレス及び列アドレスを用いたア

クセス（プリチャージ及びこれに続く通常アクセス）を指示する制御信号CS、RAS、CAS、WEの組合せが、制御信号選択回路13に入力される。また、アドレス主選択回路11からは、行アドレス及び列アドレスがこの順に所定のタイミングでアドレス副選択回路14に入力される。

【0050】ゲートクロック停止状態信号がない状態に応じて、コマンド制御回路18は、制御信号選択回路13にプリチャージ及びこれに続く通常アクセスを指示する制御信号CS、RAS、CAS、WEの組合せを選択的に出力させ、アドレス副選択回路14に行アドレス及び列アドレスをこの順に選択的に出力させる。出力されたプリチャージ及びこれに続く通常アクセスを指示する制御信号CS、RAS、CAS、WEの組合せは、制御信号出力回路15を介してシンクロナスDRAM300に入力される。出力された行アドレス及び列アドレスはアドレス出力回路16を介してシンクロナスDRAM300に入力される。データの書き込みの場合には、データ入力回路6から書き込むべきデータがデータ出力回路17を介してシンクロナスDRAM300に入力される。

【0051】従って、シンクロナスDRAM300は、プリチャージを行って行アドレスを不活性化した後、当該アクセスの行アドレスの活性化を行い、更にこの後に当該アクセスの列アドレスを用いてアクセスされる。これにより、プリチャージ、行アドレスの活性化、列アドレスの指定と言うサイクルによる通常のアクセスが実行される。

【0052】なお、この例において、以上とは別に、いわゆるバーストモードの連続アクセスが可能である。即ち、同一の行アドレスについて列アドレスのみをクロックに同期して切り換えることにより、高速で（連続して）データの読み出し／書き込みが可能である。また、アクセス源100及び主制御回路201に対してゲートクロックが供給されている期間におけるシンクロナスDRAM300のリフレッシュの指示は、アクセス源100とは独立にメモリ制御装置200がシンクロナスDRAM300に与える。

【0053】次に、アクセス源100及び主制御回路201に対するゲートクロックの供給が停止されている間、即ち、チェックストップ又はシングルクロックモード（以下、便宜的に停止期間と言う）におけるメモリ制御装置200の動作について説明する。

【0054】チェックストップ等の必要が生じた場合、またはオペレータが外部から指示を与えられた場合、これらの入力によりクロック制御回路400に対してゲートクロックの送出停止を指示する。これに応じてクロック制御回路400は、アクセス源100及び主制御回路201に対するゲートクロックの送出を停止する。これにより、主制御回路201のクロック動作は停止され

る。この時、主制御回路201の電源は遮断されないもので、例えば活性化行アドレス保持回路2はその内容を保持し出力している。この出力は活性化行アドレス参照回路12に取り込まれる。なお、副制御回路202に対してはフリーランクロックが停止することなく供給されている。

【0055】クロック制御回路400は、ゲートクロックの送出停止と同時に、コマンド制御回路18にゲートクロック停止状態信号を出力する（そのハイレベルを出力する）。即ち、ゲートクロック停止状態信号は停止期間に送出される。ゲートクロック停止状態信号に応じて、コマンド制御回路18はシンクロナスDRAM300にそのリフレッシュを行わせるための所定のコマンドを発行する。

【0056】ここで、リフレッシュのためには、シンクロナスDRAM300において、プリチャージを行って行アドレスを不活性化した後、当該リフレッシュすべき行アドレスを活性化する必要がある。そこで、コマンド制御回路18は、プリチャージコマンドを発行し、これに続いてリフレッシュコマンドを発行する。即ち、プリチャージ及びこれに続くリフレッシュを指示する制御信号CS、RAS、CAS、WEの組合せを形成して、この順に出力する。この出力は制御信号選択回路13に入力される。一方、コマンド制御回路18は、制御信号選択回路13に制御信号を送り、プリチャージ及びこれに続くリフレッシュを指示する制御信号CS、RAS、CAS、WEの組合せを、この順に選択的に出力させる。また、コマンド制御回路18は、アドレス副選択回路14にアドレスの出力を停止させる。

【0057】出力されたプリチャージ及びこれに続くリフレッシュを指示する制御信号CS、RAS、CAS、WEの組合せは、制御信号出力回路15を介してシンクロナスDRAM300に入力される。これにより、シンクロナスDRAM300においては、まず、プリチャージコマンドに応じてプリチャージが実行されて活性化されている行アドレスが不活性化され、この後、リフレッシュコマンドに応じて所定の行アドレス（のメモリセル）についてリフレッシュが行われる。なお、リフレッシュすべき行アドレスは、シンクロナスDRAM300がその内部に持つ（行）アドレスカウンタにより与えられる。

【0058】ゲートクロック停止状態信号を受信している間、コマンド制御回路18は、所定の周期で、プリチャージ及びこれに続くリフレッシュを指示する制御信号CS、RAS、CAS、WEの組合せ（コマンド）の出力を繰り返す。これにより、ゲートクロックの供給が停止されている間、シンクロナスDRAM300のプリチャージとリフレッシュとが繰り返される。これにより、シンクロナスDRAM300の記憶内容は保持される。

【0059】チェックストップ等の処理が終了した場

合、オペレータが外部からの入力によりクロック制御回路400に対してゲートクロックの送出再開を指示する。これに応じて、クロック制御回路400はアクセス源100及び主制御回路201に対するゲートクロックの送出を再開する。クロック制御回路400は、ゲートクロックの送出再開と同時に、コマンド制御回路18へのゲートクロック停止状態信号の出力を停止する（そのロウレベルを出力する）。ゲートクロック停止状態信号がない状態に応じて、コマンド制御回路18は、前述した通常期間におけるシンクロナスDRAM300の制御を行う。

【0060】これに先立って、コマンド制御回路18は、通常期間における制御に移行する前に、シンクロナスDRAM300と主制御回路201との状態を一致させるための処理（復帰サイクル）を実行する。この復帰サイクルは以下のように行われる。

【0061】コマンド制御回路18は、ゲートクロック停止状態信号のハイレベルからロウレベルへの変化を検出して、これを活性化行アドレス参照回路12に通知する。これに応じて、活性化行アドレス参照回路12が活性化行アドレス保持回路2の内容を参照する。前述のように、ゲートクロック停止中も主制御回路201の電源は遮断されないで、活性化行アドレス保持回路2はその内容を保持している。この内容はゲートクロック停止直前に活性化された行アドレスである。活性化行アドレス参照回路12は参照した行アドレスをアドレス副選択回路14に入力する。この後、コマンド制御回路18はシンクロナスDRAM300に当該参照した行アドレスの活性化を行なわせるための所定のコマンドを発行する。

【0062】ここで、当該行アドレスの活性化のためには、シンクロナスDRAM300において、プリチャージを行って直前にリフレッシュされた行アドレスを不活性化させる必要がある。そこで、コマンド制御回路18は、プリチャージコマンドを発行し、これに続いて行アドレスの活性化コマンドを発行する。即ち、プリチャージ及びこれに続く行アドレスの活性化を指示する制御信号CS、RAS、CAS、WEの組合せを形成して、この順に出力する。一方、コマンド制御回路18は、制御信号選択回路13に制御信号を送り、プリチャージ及びこれに続く行アドレスの活性化を指示する制御信号CS、RAS、CAS、WEの組合せをこの順に選択的に出力させる。また、コマンド制御回路18はアドレス副選択回路14に活性化行アドレス参照回路12からの行アドレスを選択的に出力させる。

【0063】出力されたプリチャージ及びこれに続く行アドレスの活性化を指示する制御信号CS、RAS、CAS、WEの組合せ及び行アドレスは、制御信号出力回路15及びアドレス出力回路16を介して、シンクロ

ナスDRAM300においては、まず、プリチャージコマンドに応じてプリチャージが実行されてリフレッシュにより活性化された行アドレスが不活性化され、この後、行アドレスの活性化コマンドに応じて当該行アドレスについて活性化が行われる。これにより、ゲートクロックの供給が再開される際に、活性化行アドレス保持回路2に保持されている行アドレスを用いて、シンクロナスDRAM300の当該行アドレスが活性化される。

【0064】図3は本発明のメモリ制御装置200を備える大型計算機やスーパーコンピュータのような電子計算機の他の一例を示す。この例においては、メモリ300が、その各々に異なるアドレスが割り付けられた2個（2以上）のシンクロナスDRAM301及び302からなる。即ち、シンクロナスDRAM301及び302はインタリーブされる関係にある。各々のシンクロナスDRAM301及び302に対応して活性化行アドレス保持回路2及び3が設けられる。更に、これに対応して、比較回路8及び9が設けられる。

【0065】この例においては、2個のシンクロナスDRAM301及び302に異なるアドレスが割り付けられているので、通常、各々において活性化された行アドレスが異なる。そこで、各々のシンクロナスDRAM301及び302において活性化された行アドレスが、対応する活性化行アドレス保持回路2及び3に保持され、比較回路8及び9における比較結果が一致する場合に行アドレスの活性化が省略される。これにより、前述と同様に、各々のシンクロナスDRAM301及び302（即ち、メモリ300）の高速化を図ることができる。

【0066】図4は本発明のメモリ制御装置200を備える電子計算機の更に他の一例を示す。この例においては、メモリ300が、その内部が2個（2以上）のバンク303及び304に分けられた1個のシンクロナスDRAM300からなる。即ち、バンク303及び304はインタリーブされる関係にある。各々のバンク303及び304に対応して活性化行アドレス保持回路2及び3が設けられる。更に、これに対応して、比較回路8及び9が設けられる。

【0067】この例は、図3の例において、各々のシンクロナスDRAM301及び302をバンク303及び304で置換した例である。従って、図3と同様にメモリ300の高速化を図ることができる。

【0068】図5は本発明のメモリ制御装置200を備える電子計算機の更に他の一例を示す。この例においては、シンクロナスDRAM301及び302における活性化された行アドレスの有効期間が有限とされる（規格が有効期間を規定している）。そこで、この有効期間を管理するために、主制御回路201に行アドレスが活性化された後に経過した時間をカウントする計時手段であるタイマ1が1個設けられる。主制御回路201は、活

活性化行アドレス保持回路2又は3のいずれか一方に活性化された行アドレスを格納した場合、これと同時にタイマ1をスタートさせる(リセットする)。タイマ1は、当該行アドレスが活性化された後に所定の時間が経過した(タイムアップ)ことを検出した場合、活性化行アドレス保持回路2及び3の内容を無効とする(リセットする)。タイムアップするまでの時間は行アドレスの有効期間と等しくされる。従って、1個のタイマ1により、最先に活性化された行アドレスの有効期間に合わせて、2個の活性化行アドレス保持回路2及び3の内容が同時にリセットされる。この結果、活性化行アドレス保持回路2又は3の他方の有効期間は、みかけ上規定された有効期間よりも短くなる。これにより、活性化された行アドレスの有効期間が有限である場合でも、活性化行アドレス保持回路2及び3の保持する行アドレスと、シンクロナスDRAM301及び302の有効な活性化行アドレスとを一致させることができる。

【0069】なお、この例は図3の例においてタイマ1を設けた例であるが、タイマ1を、図2のシンクロナスDRAM300に対応して設け又は図4のバンク303及び304の各々に対応して設け、その各々の活性化された行アドレスの有効期間を管理するようにしても良い。また、当該有効期間よりも短い時間間隔でシンクロナスDRAM301等がリフレッシュされる場合、タイマ1は省略される。この場合、活性化行アドレス参照回路12の働きにより、有効期間がタイムアップする以前に、同一の行アドレスを再度活性化しても良い。

【0070】図6は本発明のメモリ制御装置200を備える電子計算機の更に他の一例を示す。この例においては、アクセス源100から連続したアクセスがあった場合、当該連続したアクセスの終了後に、次のアクセスを待つことなく、制御信号形成回路10が活性化行アドレス保持回路2及び3の内容を無効としプリチャージを行うための制御信号を形成する。このために、主制御回路201に終了信号入力回路7が設けられる。なお、この例は図5の例において終了信号入力回路7を設けた例であるが、図2乃至図4の例において、終了信号入力回路7を設けても良い。

【0071】アクセス源100は、連続したアクセスを行う場合、その最後のアクセスと同時に、連続アクセスが終了することを示す終了信号(のハイレベル)を出力する。この終了信号を終了信号入力回路7が取り込んで制御信号形成回路10に入力する。これに応じて、制御信号形成回路10は、当該連続したアクセスの終了後に、活性化行アドレス保持回路2及び3の内容を無効とする。この動作は、図5において説明したタイマ1による無効の動作とは独立に行われる。また、制御信号形成回路10がプリチャージを行うための制御信号(プリチャージコマンド)を形成して出力する。この場合、ゲートクロック停止状態信号が出力されていないので、プリ

チャージコマンドが制御信号選択回路13及び制御信号出力回路15を介してシンクロナスDRAM301及び302に入力され、これらがプリチャージされる。

【0072】一般に、アクセス源100が連続アクセスを終了した場合、次に開始されるアクセスが同一の行アドレスについてのものである確率は低い。従って、活性化行アドレス保持回路2及び3の内容を無効とし、シンクロナスDRAM301等における行アドレスの状態を不活性化してもほとんど支障はない。そこで、予めプリチャージを行うことにより、次のアクセスがあった場合、プリチャージを省略して直ちに行アドレスを活性化させることができるので、プリチャージ動作の分だけ高速化を図ることができる。

【0073】図7及び図8は本発明のメモリ制御装置200を備える電子計算機の更に他の一例を示す。この例においては、図8に示すように、ゲートクロック停止状態信号を受信している間、シンクロナスDRAM300のプリチャージ(PRE)、リフレッシュ(REF)及び活性化行アドレス保持回路2に保持されている行アドレスの活性化(ACTV)が繰り返される。また、この例においては、図7及び図8に示すように、ゲートクロック開始禁止信号がコマンド制御回路18からクロック制御回路400に対して送出される。

【0074】なお、図6までの例においては、ゲートクロック停止状態信号を受信している間、プリチャージ及びリフレッシュが繰り返され、最後に1回だけ活性化行アドレス保持回路2に保持されている行アドレスの活性化が行われていた。これは、図11に示すプリチャージ(PRE)、リフレッシュ(REF)及び行アドレスの活性化(ACTV)のサイクルと同様である。

【0075】コマンド制御回路18は、プリチャージ(を指示するコマンドの発行)を開始するタイミングでゲートクロック開始禁止信号INHIBIT(のハイレベル)を送出する。また、コマンド制御回路18は、リフレッシュを終了するタイミングでゲートクロック開始禁止信号の送出を停止(そのロウレベルを出力)し、活性化行アドレス保持回路2に保持されている行アドレスの活性化(を指示するコマンドの発行)を開始する。ゲートクロック開始禁止信号を受けるクロック制御回路400は、外部からオペレータのゲートクロック供給再開の指示があっても直ちにその供給を再開することなく、ゲートクロック開始禁止信号がない時にのみゲートクロックの送出を開始する。即ち、ゲートクロックの供給再開とシンクロナスDRAM300の復帰サイクルとが同期させられる。

【0076】これにより、活性化行アドレス保持回路2に保持されている行アドレスの活性化から次のプリチャージの開始までの期間内に限って、ゲートクロックの送出が再開される。従って、ゲートクロックの供給再開後に直ちにメモリアクセス要求があっても、これを直ぐに

実行することができる。

【0077】図9及び図10は本発明のメモリ制御装置200を備える電子計算機の更に他の一例を示す。この例は、図7及び図8に示す例において、ゲートクロック開始禁止信号（INHIBIT）に替えて、ゲートクロック開始要求信号（REQ）及びゲートクロック開始認識信号（ACK）を用いた例である。

【0078】クロック制御回路400は、シンクロナスDRAM300の状態に無関係の適当なタイミングで、図10に示すように、ゲートクロック開始要求信号をコマンド制御回路18に送る。これを受けたコマンド制御回路18は、直ちにゲートクロック開始認識信号を返すことなく、受信直後のリフレッシュを終了するタイミングでゲートクロック開始認識信号をクロック制御回路400に返し、活性化行アドレス保持回路2に保持されている行アドレスの活性化（を指示するコマンドの発行）を開始する。ゲートクロック開始認識信号を受けたクロック制御回路400は、ゲートクロックの送出を開始する。即ち、ゲートクロックの供給再開とシンクロナスDRAM300の復帰サイクルとが同期させられる。

【0079】図11は本発明のメモリ制御装置200を備える電子計算機の更に他の一例を示す。この例の構成は図9と同様であり、その動作のみが異なる。この例においては、図11に示すように、ゲートクロック停止状態信号を受信している間、プリチャージ（PRE）及びリフレッシュ（REF）が繰り返され、最後に活性化行アドレス保持回路2に保持されている行アドレスの活性化（ACTV）が行われる。

【0080】クロック制御回路400は、シンクロナスDRAM300の状態に無関係の適当なタイミングで、図11に示すように、ゲートクロック開始要求信号をコマンド制御回路18に送る。これを受けたコマンド制御回路18は、直ちにゲートクロック開始認識信号を返すことなく、受信直後のリフレッシュを終了した後、行アドレスの活性化のためのプリチャージを終了したタイミングでゲートクロック開始認識信号をクロック制御回路400に返し、活性化行アドレス保持回路2に保持されている行アドレスの活性化（を指示するコマンドの発行）を開始する。ゲートクロック開始認識信号を受けたクロック制御回路400は、ゲートクロックの送出を開始する。即ち、ゲートクロックの供給再開とシンクロナスDRAM300の復帰サイクルとが同期させられる。

【0081】以上、本発明を実施例により説明したが、本発明はその主旨の範囲において種々の変形が可能であり、例えば前述した実施例の各々を適宜組み合わせることで実施することが可能である。

【0082】

【発明の効果】以上説明したように、本発明によれば、活性化された行アドレスを保持する記憶手段を備えシンクロナスDRAMを制御するメモリ制御装置において、

ゲートクロックの停止期間中にシンクロナスDRAMのリフレッシュを行うと共にゲートクロックの供給が再開される際に記憶手段に保持されている行アドレスを用いてシンクロナスDRAMの当該行アドレスを活性化することにより、リフレッシュの後のゲートクロックの供給が再開時に、シンクロナスDRAMにおいてリフレッシュのためのプリチャージを行った場合でも、記憶手段に保持された行アドレスと実際のシンクロナスDRAMにおいて活性化された行アドレスとを一致させることができるので、アクセスの当該行アドレスと記憶手段に保持されている行アドレスとが一致した場合に行アドレスの活性化をすることなく直ちに当該列アドレスを用いて当該データを読み出すことができ、この結果、スーパーコンピュータ等に不可欠のクロック停止機能を維持しつつ、シンクロナスDRAMを主記憶として使用し、そのリフレッシュ及び高速化を実現することができる。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】メモリ制御装置構成図である。

【図3】メモリ制御装置構成図である。

【図4】メモリ制御装置構成図である。

【図5】メモリ制御装置構成図である。

【図6】メモリ制御装置構成図である。

【図7】メモリ制御装置構成図である。

【図8】動作説明図である。

【図9】メモリ制御装置構成図である。

【図10】動作説明図である。

【図11】動作説明図である。

【符号の説明】

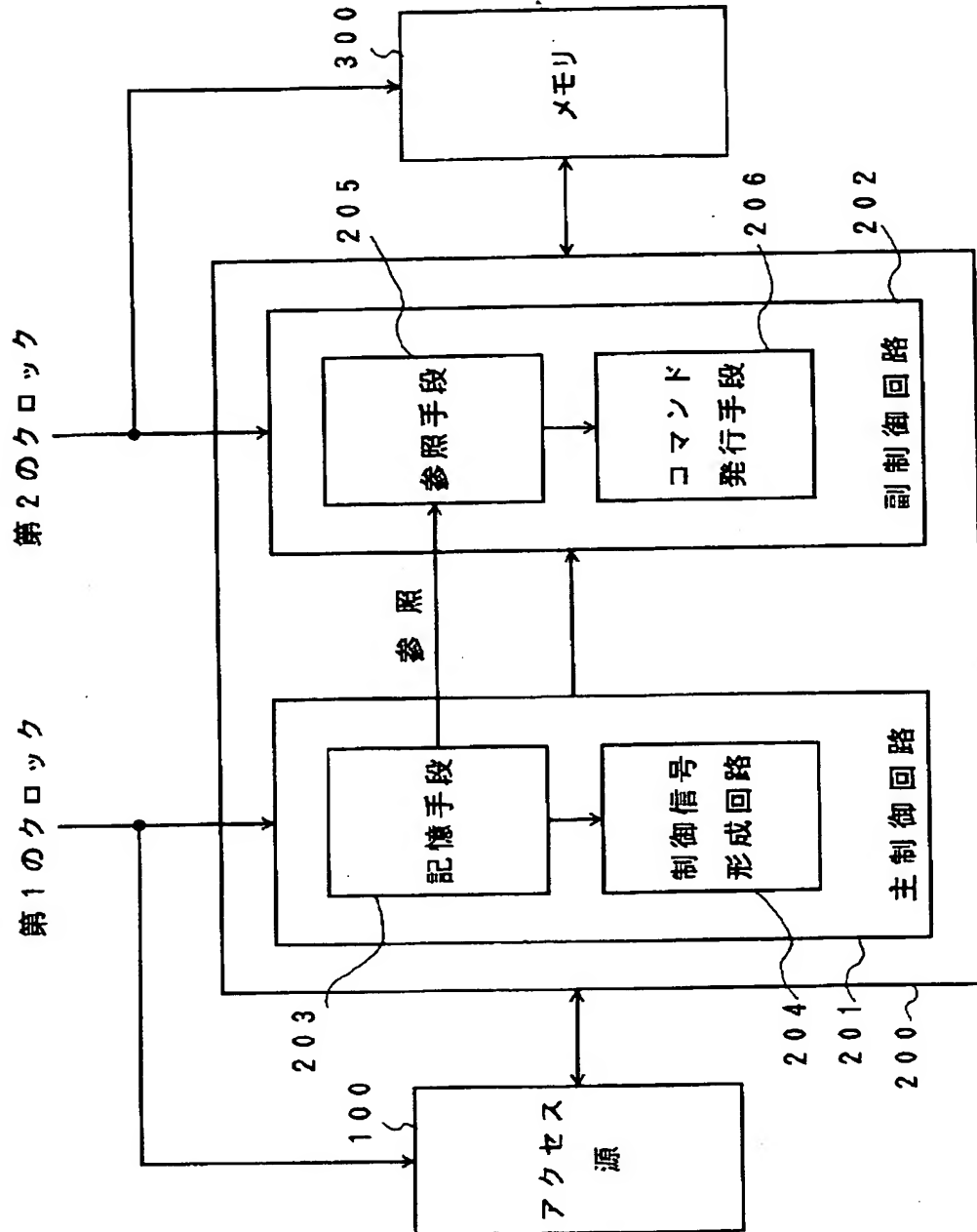
- | | |
|-----|--------------------|
| 1 | タイマ |
| 2 | (第1の) 活性化行アドレス保持回路 |
| 3 | (第2の) 活性化行アドレス保持回路 |
| 4 | 行アドレス入力回路 |
| 5 | 列アドレス入力回路 |
| 6 | データ入力回路 |
| 7 | 終了信号入力回路 |
| 8 | (第1の) 比較回路 |
| 9 | (第2の) 比較回路 |
| 10 | 制御信号形成回路 |
| 11 | アドレス主選択回路 |
| 12 | 活性化行アドレス参照回路 |
| 13 | 制御信号選択回路 |
| 14 | アドレス副選択回路 |
| 15 | 制御信号出力回路 |
| 16 | アドレス出力回路 |
| 17 | データ出力回路 |
| 18 | コマンド制御回路 |
| 100 | アクセス源 |
| 200 | メモリ制御装置 |
| 201 | 主制御回路 |

202 副制御回路
203 記憶手段
204 制御信号形成手段
205 参照手段

206 コマンド発行手段
300 メモリ (シンクロナスDRAM)
400 クロック制御回路

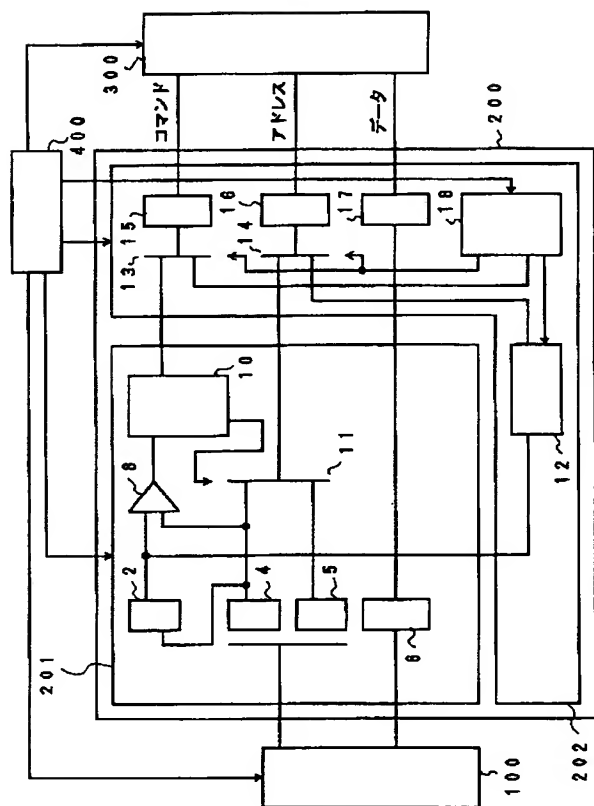
【図1】

本発明の原理構成図



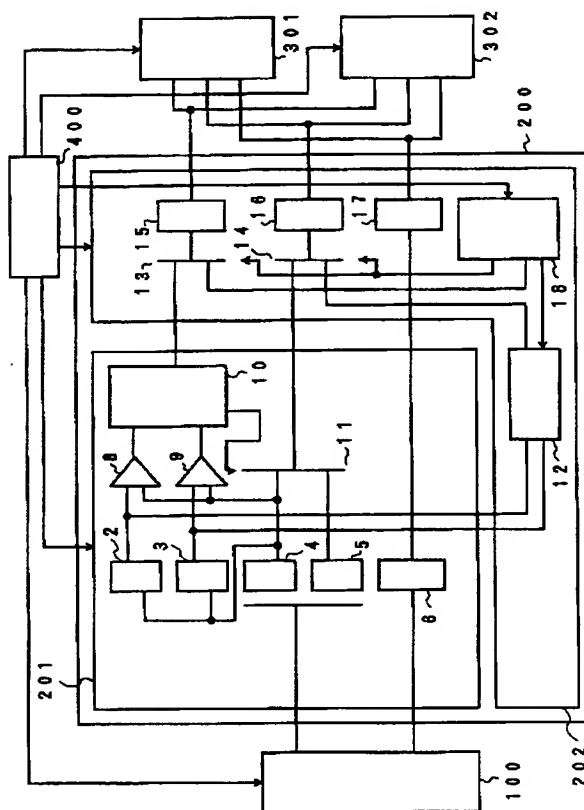
【図2】

メモリ制御装置構成図



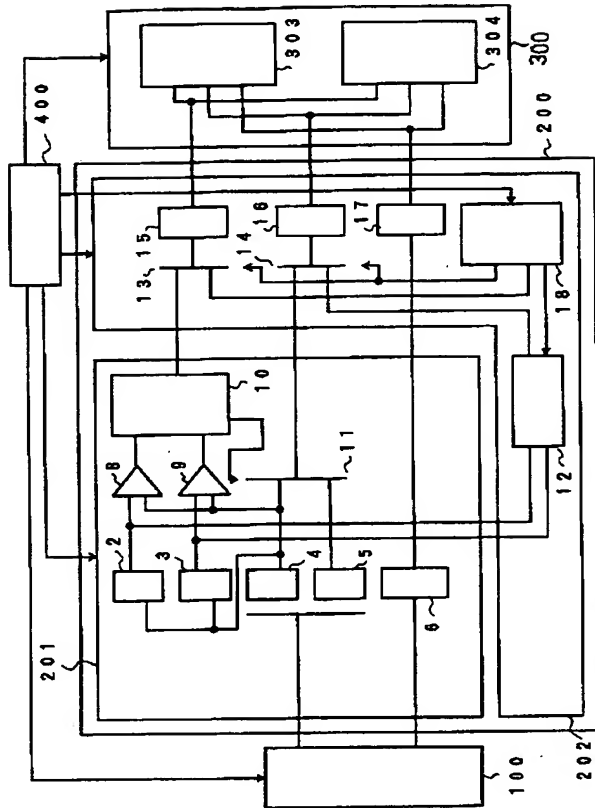
【図3】

メモリ制御装置構成図



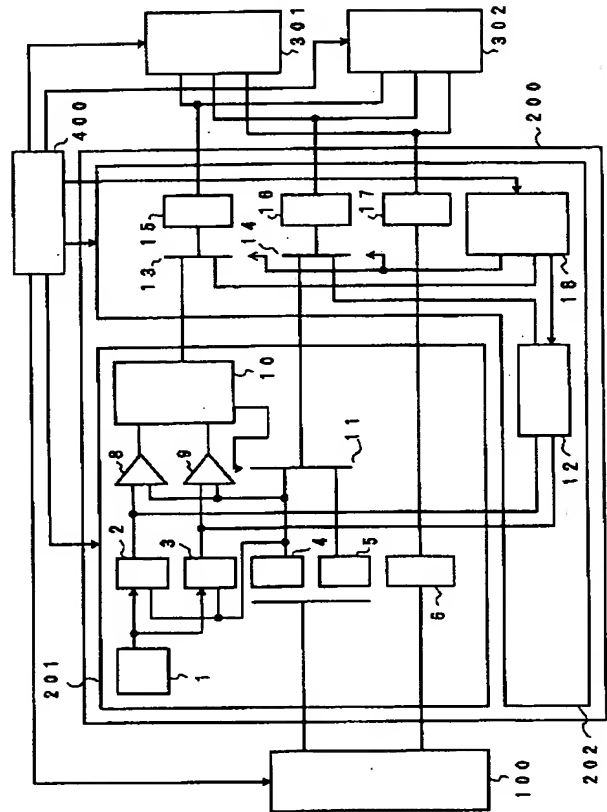
【図4】

メモリ制御装置構成図



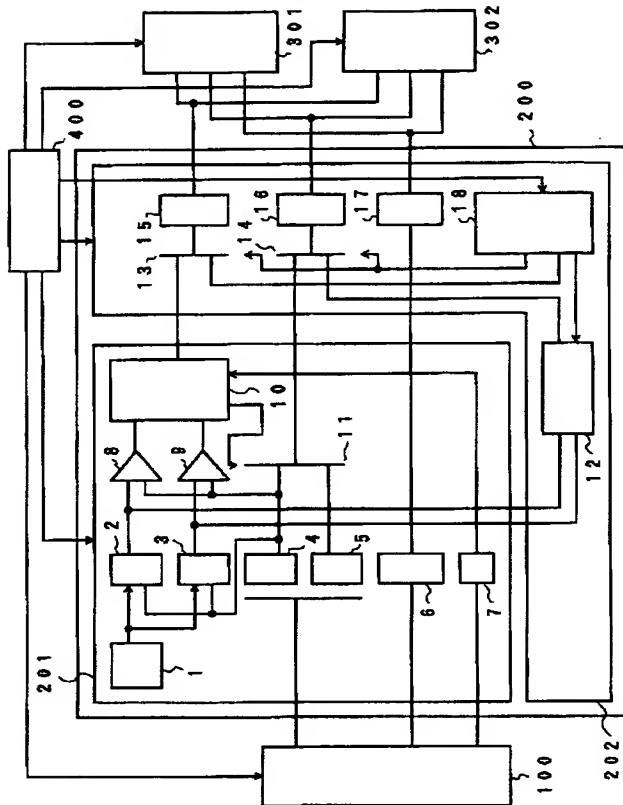
【図5】

メモリ制御装置構成図



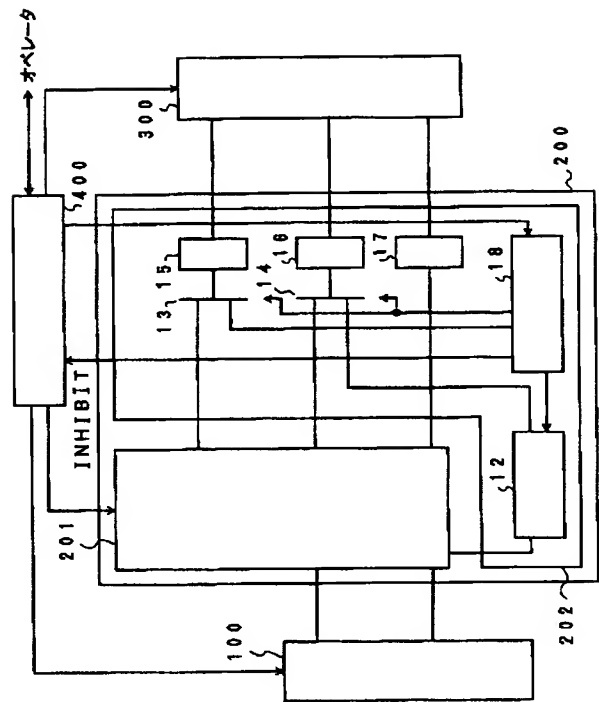
【図6】

メモリ制御装置構成図



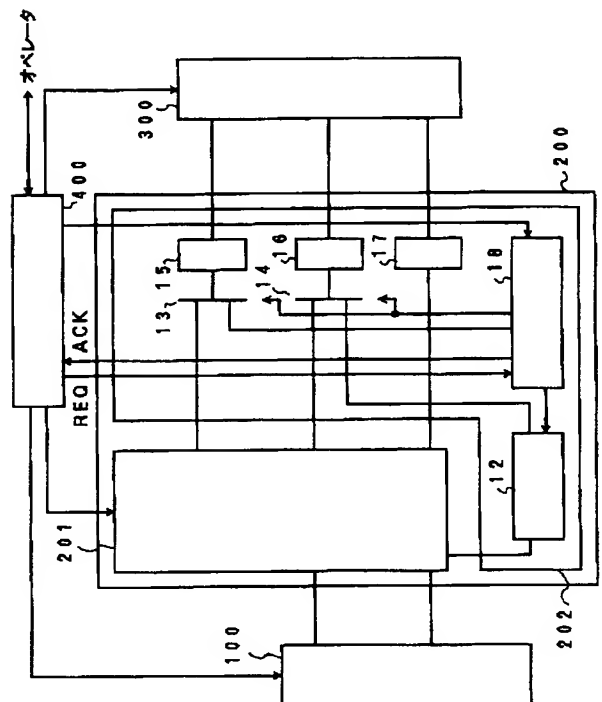
【図7】

メモリ制御装置構成図



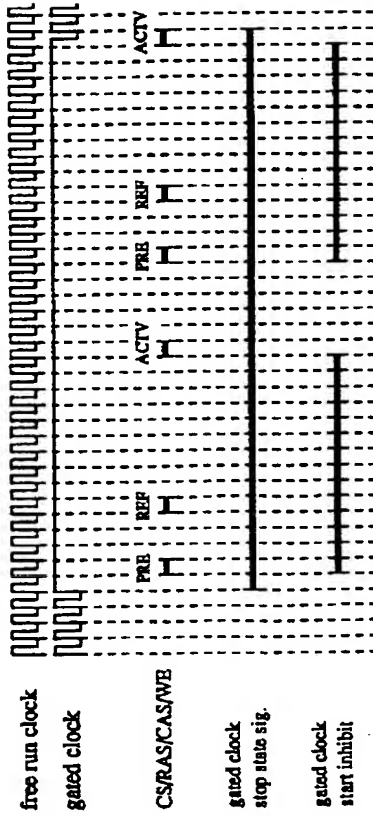
【図9】

メモリ制御装置構成図



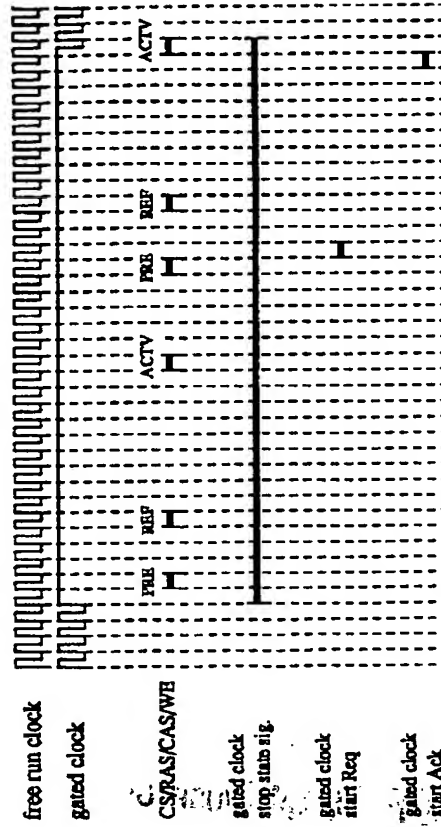
【図 8】

動作説明図



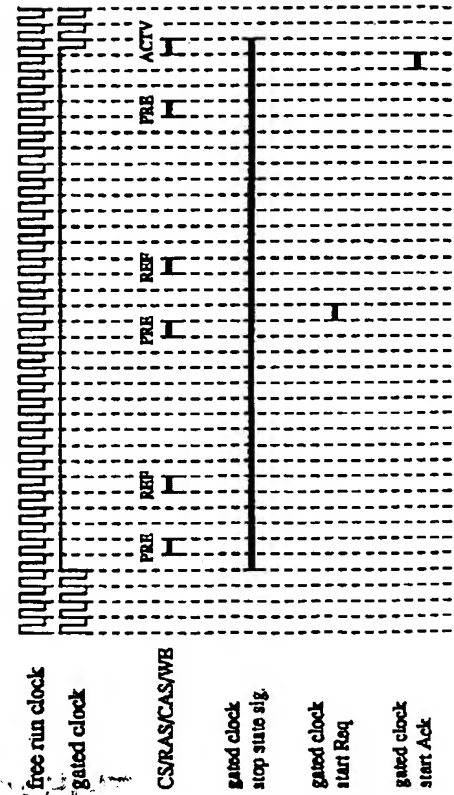
【図 10】

動作説明図



【図 11】

動作説明図



THIS PAGE BLANK (USPTO)